



テラ時代を築く

大量のデータセットに対してマルチモードのオブジェクト認識
および合成を実行する上でのコンピューティング・アーキテクチャの
ニーズを把握

**Research &
Development
at Intel**

2004年2月

本資料に掲載されている情報は、インテル製品の概要説明を目的としたものです。本資料は、明示されているか否かにかかわらず、また禁反言によるとよらずにかかわらず、いかなる知的財産権のライセンスを許諾するためのものではありません。製品に付属の売買契約書『Intel's Terms and conditions of Sales』に規定されている場合を除き、インテルはいかなる責を負うものではなく、またインテル製品の販売や使用に関する明示または黙示の保証（特定目的への適合性、商品性に関する保証、第三者の特許権、著作権、その他、知的所有権を侵害していないことへの保証を含む）に関しても一切責任を負わないものとします。

インテル製品は、医療、救命、延命措置などの目的への使用を前提としたものではありません。
インテル製品は、予告なく仕様変更される場合があります。

インテル、Intel ロゴ、MMX、Itanium、Pentium、Centrino、i486 は、アメリカ合衆国およびその他の国における Intel Corporation またはその子会社の商標または登録商標です。

© 2004 Intel Corporation. 無断での引用、転載を禁じます。

* その他の社名、製品名などは、一般に各社の商標または登録商標です。

テラ時代を築く

2004年2月

デジタルの変革

家電製品、通信、コンピューティング・プラットフォームを中心とした業界では、デジタル技術を融合させる方法が求められており、今日の「ユビキタス(いつでもどこでも接続できる)」環境がこのようなデジタルの変革を加速させています。使用されるデータ量はムーアの法則と同様、24カ月ごとに倍増しています。データ量の増加は世界規模で急速に進んでおり、現在ではエクサバイト(10の18乗バイト)という桁のデータが存在します。こうしたデジタル技術の拡大は、世界の機能や動きにまで変化をもたらしています。

歴史をひも解くと、コンピューティング機能は必ずしもニアに進化してきたわけではありません。コンピューティング機能には、大きな影響を与える「飛躍」が過去に何度もありました。1980年代に初めて登場したPCは、大企業や学術界だけのものではあったコンピューティングをコンピュータ・マニアにも解放しました。1990年代初めには、統合型の浮動小数点演算プロセッサが開発され、PCの表示形式は、黒い画面上で点灯するテキストからカラーのGUI(グラフィカル・ユーザ・インターフェイス)へと移行しました。グラフィカルなWebブラウザがほぼ同時期に開発され、コンピューティングが一般消費者にとっても魅力的なものとなった結果、パーソナル・コンピューティングは今なお世界中で爆発的な拡大を続けています。

1995年に登場したMMX®テクノロジーは、メディア固有のアーキテクチャ構成の先駆けとなりました。この「あらゆるものをデジタル化」の動きがインターネットの普及を促進し、デスクトップ上でのマルチメディア処理を実現しました。2004年には、ワイヤレス・コンピューティングと、デジタル・ホームのコンセプトが注目を浴びています。ホームPCが、家族によって共用される「ハブ」の役割を果たし、ワイヤレス接続された好みの家電製品にデジタル形式の音楽、写真、ビデオを提供します。マルチメディア・アーキテクチャが進化を続け、インテル® Centrino™ モバイル・テクノロジーのような新たなテクノロジーが登場したことで、こうした新しい利用法が実現しています。

革新的なテクノロジーは、ビジネス分野全体や業界全体に再編成をもたらし、だれもが論理的かつ自然な進化と思うようになるまでには、なかなか受け入れられないものです。新たなテクノロジーが普及したとしても、技術革新に対する懐疑主義者が必ず登場し、必要な処理能力はすでにそろっていると主張します。しかし、処理能力の進化を活かす新たなテクノロジーがすぐに現れることは、歴史が証明済みです。産業界で、今再び大きな機会が生まれつつあると、インテルでは考えています。

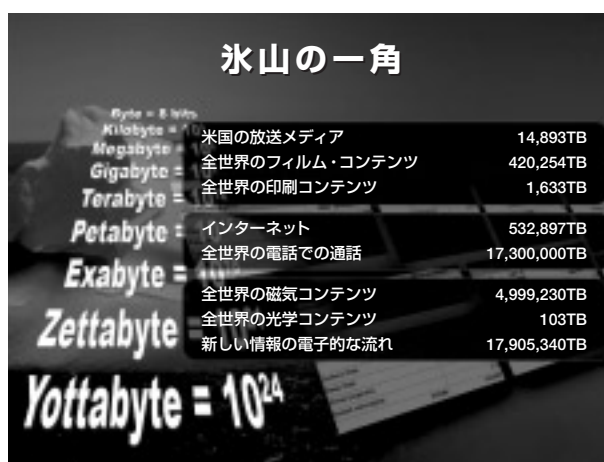
テラ時代の定義

デジタルの変革は、急増する技術革新を促進する役割を果たしています。コンピューティング機能における飛躍的な進化がおこなわなければ、豊富なデータを収集し活用する機会も失われます。これは、機会の重大さを誇張しているわけではありません。デジタルデータは普及速度が速く、この何年かは年間30%近く増加しています。デジタルデータとデジタル以外のデータはどのくらい使用されているのでしょうか。右の図は、現在のデータ使用量を示しています。¹

図に示されているように、デジタルデータの量はデジタル以外のデータを圧倒しており、新規に作成されるデータは事実上すべてデジタル形式で記録されています。デジタルデータの増加率が減少する理由は見当たりません。

このデジタルデータの急増は何を意味しているのでしょうか。以下の状況を想像してみてください。

- デジタル画像を素早く検索して、子供の写真やペットの写真など、カテゴリ別に分類可能。撮りためた大量のデジタル写真やビデオの中から迅速に探すことができます。



¹ 『How Much Information? 2003』、<http://www.sims.berkeley.edu/research/projects/how-much-info-2003/> (英語)

- 試験結果、X線写真、医療情報など患者の生涯にわたるすべての記録を、かかりつけの医者が管理できます。血液検査、カルシウムのレベル、骨格系の状態をはじめとするデータに基づいて、最近の X線写真上に写った点が重大なものであるかどうか判断可能です。
- アマチュアの映画制作者が、特定の時期のあらゆる「クラシック」映画を詳細に分析可能。数テラバイトものビデオ・ストリームをスキャンすると、一見抽象的だが映画の魅力を高めている特性を発見できます。

つまり、単なるデジタルメディアの作成や消費を超えたデジタル化の波が今起きつつあります。このデジタル世界の中でいつでもどこでもすべての人をつなげ、豊かにし、支えることのできる機会が目の前に広がっています。

テラ時代のワークロードの定義

テラ・レベル・コンピューティングを可能にするアーキテクチャを開発するには、必要となるコンピューティング機能の種類を決定しなければなりません。インテルではこのような処理機能、つまりワークロードを、認識 (recognition)、抽出 (mining)、合成 (synthesis) の 3 つの基本機能 (略して RMS) に分類しています。このモデルは、現在や将来のコンピューティングに用いられるあらゆる種類の処理機能を包括しています。

テラ・レベル・コンピューティングのサポートに必要な各ワークロードについて理解すれば、そうしたワークロードを実現するためのアーキテクチャを決定し開発することができます。

認識

認識：特定のアプリケーションの要件に該当するパターンとモデルを認識する機能。

認識とは、特定のアプリケーションについて大量のデータの中からパターンとモデルを認識するための機能のことです。大量のデータセットの中には、数千から数百万ものパターンやモデルが存在する可能性があります。ただし、そのすべてが特定のユーザやアプリケーションに関連しているわけではありません。

例えば、米国同時多発テロ事件のような状況では、数千ではないにせよ数百もの個別のデータベース内に膨大なデータが存在します。それぞれのデータベースには、航空機の予約、監視カメラの映像、クレジットカードや銀行の取り引き、ガソリンの購入などに関する情報が格納されています。FBI や CIA のデータベースと合わせてこのような情報源も分析することにより、特定の行動を特徴づける微妙なデータのパターンやモデルに基づいて、不審な行動をモデル化できます。こうしたデータのパターンやモデルを認識、つまり把握できれば、テロリストの脅威を未然に発見することが可能です。

膨大なデータセットの中から情報を見付ける機能は不可欠なので、認識ワークロードはテラ・レベル・コンピューティングの基盤と言えます。

抽出

抽出：大量な実際のデータを該当するパターンやモデルに照らして調査またはスキャンする機能。

抽出では、インテリジェントな方法によって大量のデータベースにインデックスを付けて、認識段階で認められたパターンやモデルの実例を探し出します。侵入検知など多くのアプリケーションを導入するには、データ・ストリームに対してリアルタイムで抽出を行う機能が欠かせません。先ほどのテロリストの例で検討してみます。不審な行動のモデルを認識するだけでは不十分です。テロリストの脅威を未然に発見するには、関連するデータ・ストリームに対してシステムがリアルタイムで絶え間なく抽出を行う必要があります。認識と抽出は、相互に緊密に依存している補完的な機能です。

合成

合成：該当するパターンやモデルに基づいて大量のデータセットまたは仮想世界を合成する機能。

合成は創造と考えることができます。「仮想世界」や、分析したデータに関する概要または結論を作り出します。認識および抽出と組み合わせ、大量のデータセットに対して合成ワークロードを実行すると、現在では不可能な機能をコンピューティング・プラットフォームにもたらしめます。テラ・レベル・アプリケーションの一例として、レイ・トレーシングが挙げられます。

テラ時代を築く

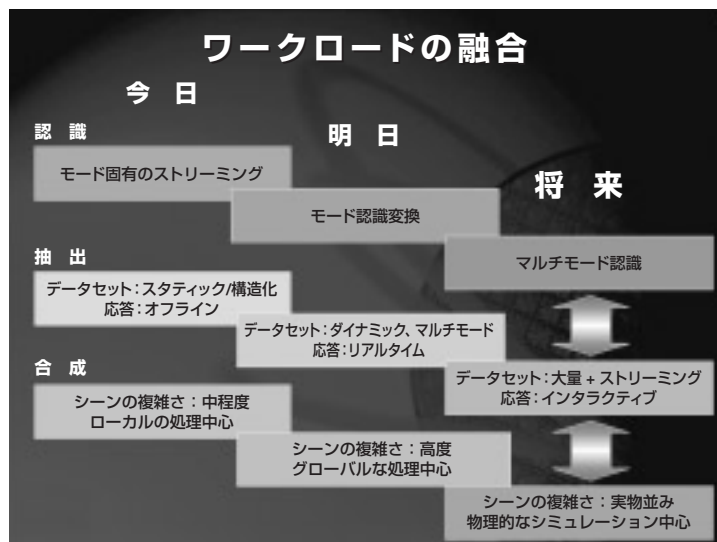
2004年2月

写真並みにリアルなグラフィックスを実現するには、10億のポリゴンが必要になります。今日のスーパーコンピュータでもレイ・トレーシングは可能ですが、1つのシーンを作成するのに数時間から数日かかります。リアルタイムで写真並みにリアルなレンダリングを実行したり、実物のようなアニメーションを制作するには、テラフロップ・レベルのパフォーマンスが必要です。

先ほどのテロリストの例の場合、システムは攻撃と対応に関するさまざまなシナリオを合成、つまりシミュレートすれば、攻撃時の効果を前もって判断できます。

ワークロードの融合がプラットフォームの融合を促進

認識、抽出、合成のワークロードは、現在のマルチメディア・ストリーミング、データベース処理、グラフィックスのワークロードを論理的に拡張したものです。メディア・ストリーミングのワークロードは、メディア固有のストリーミング（ビデオやオーディオのストリーミングなど）から、モード変換（音声認識におけるオーディオ/テキスト変換など）やマルチモード認識（オーディオ/ビデオの音声認識など）へと進化しつつあります。データベースのワークロードはこれまでほとんどが、単一データ形式のスタティックな構造のデータベースに基づいたものでした。データセットは今後、マルチモード（テキスト、画像、数値などの組み合わせ）の動的なデータベースに移行する見込みです。また、現在の合成ワークロードは、ほとんどがラスター・グラフィックスに占められています。適度に複雑なシーンを作成できますが、オブジェクトのモデリングや変換には大きな制限があります。合成ワークロードはこの先、極めて複雑なシーンを作成し、実物並みのマルチモード・オブジェクトを振る舞いの面および物理的な面でシミュレートできるようになります。



RMS ワークロードには、高いアルゴリズム処理能力と、広いデータ帯域幅が欠かせません。例えば、大量のデータセットに対して抽出や認識を実行するには、遺伝的アルゴリズムなどを多用する必要があります。写真並みにリアルなレンダリングを画像に実行するには、リアルタイムでのレイ・トレーシング・アルゴリズム処理が必要です。

今日の設計者は、利用可能なパフォーマンスの点で制約を受けており、認識、抽出、合成の各ワークロードに対して、一定のパフォーマンス・セットを満たす全く別のアルゴリズムを用いなければなりません。パフォーマンス・セットとは、ダイ上のトランジスタ数、電力と熱に関する要件、アーキテクチャ面での選択肢を狭めるその他の要因など、各種リソースの組み合わせを指します。この組み合わせの結果、アーキテクチャは特定の種類のワークロード向けに最適化されることになります。エンタープライズ・アプリケーションには、膨大なデータ帯域幅と高速の整数演算処理が必要です。最新式のジオメトリとレンダリングの処理には、大量の浮動小数点演算に対応した、ピクセル処理専用の演算エンジンおよびグラフィックス・エンジンが必要です。ただしこのようなワークロード、つまりモード固有のアーキテクチャには限界があります。企業向けサーバでは、グラフィックスのレンダリングは不可能です。最新の専用グラフィックス・エンジンであっても、データベースへのクエリは実行できません。

インテルでは RMS ワークロードについて検討し、テラ・レベル・コンピューティングのニーズを予測しているうちに、認識、抽出、および合成のワークロードには、この種のアプリケーションに共通する同じようなプラットフォーム機能が必要になると考えるようになりました。その理由として、RMS ワークロードの基本要件は現在のものと異なり、「大量のデータセットに対するマルチモードの認識および合成」のフレーズに集約できるからです。RMS ワークロードを実現する上での基盤は、統計とパターンの認識、コンピュータ・ビジョンとグラフィックス、高性能コンピューティングとデータベースを技術的に統制すれば生まれます。これらのアプリケーションには、以下のような共通の特徴があります。

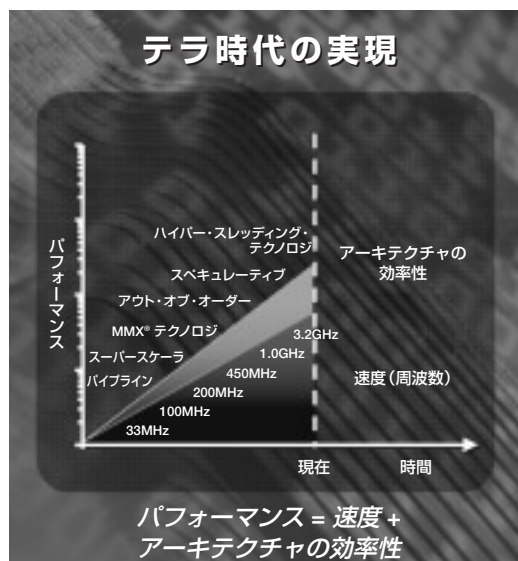
1. テラフリップ・レベルの処理機能
2. 構造化されたアクセスにも構造化されていないアクセスにも対応する広いデータ帯域幅
3. 特定のワークロードの要件に合わせて効率的な実行や適応化が可能

テラ・レベルのパフォーマンスが実現すれば、共通基盤を利用して、上記のワークロードを単一のアーキテクチャ・プラットフォーム上にまとめられます。ほかのワークロードを犠牲にして1つのワークロード向けにアーキテクチャを最適化する必要はなくなります。つまり、近い将来ワークロードが融合されると、テラ・レベルのコンピューティング・プラットフォームには、RMS ワークロード・ベースのすべてのアプリケーションを高い投資対効率のもとで実行可能な、単一の融合型アーキテクチャを採用できます。

テラ時代の実現

この課題の実現は、気が遠くなるような話かもしれません。現在のプラットフォームの機能を10倍から100倍に高めるコンピューティング・アーキテクチャを開発する必要があります。コンピューティング機能に新たな飛躍をもたらすものはあるのでしょうか。

インテルは現在、10億個のトランジスタを搭載したプロセッサを開発中です。インテルの共同創設者である Gordon Moore が1965年に提唱したムーアの法則では、トランジスタ数、つまりコンピュータ設計者が用いる「ビルディング・ブロック」について予測しています。ただし、ムーアの法則はパフォーマンスに関する法則ではなく、集積回路上のトランジスタ数は約24カ月ごとに倍増するという、トランジスタ数に関する法則です。トランジスタの数が急増しサイズが縮小し続けた結果、パフォーマンスの向上とコストの削減につながっています。PC業界では25年と経たずに、5MHz プロセッサから4GHz プロセッサへと、チップの周波数が千倍も増加しました。スーパースケーラ、MMX® テクノロジ、スペキュレーティブ・エグゼキューション、ハイパー・スレッディング・テクノロジー (HT テクノロジ) などアーキテクチャの技術革新と組み合わせ、コンピューティング・パフォーマンスの機能は飛躍的に向上してきました。



つまり過去25年間は、プロセッサの速度とアーキテクチャの技術革新が進化を促進してきました。しかし今後の25年間については、この進化の方程式も修正しなければなりません。

課題

グラフが示しているように、高速化はアーキテクチャの向上よりも周波数の増加に影響を受けてきました。しかし今問題となっているのは、今後このグラフがどのように変わるかということです。ムーアの法則は、コンピューティング関連では最もよく知られているものの1つですが、これが唯一の法則ではありません。業界は、マイナス要因となるその他の物理的法則にも直面しています。クロック周波数が増加し、トランジスタのサイズが縮小するにつれ、以下の主要な領域における障害が大きくなってきました。

- **電力**：電力密度の現在の増加率からすると、インテル® Pentium® プロセッサ・アーキテクチャのパフォーマンスを今後数年間にわたって拡張するには数万 w/cm² (1cm 当たりのワット数) が必要になります。しかし、これだけ密度が高くなると、太陽の表面以上の熱を発生するようになるので、電力の急増は周波数の増加にとって大きな壁となります。
- **メモリ・レイテンシ**：メモリの速度は、ロジックの速度ほどには急速に増加していません。i486™ CPU の時代には、メモリへのアクセスに必要なのは1サイクル当たり6～8クロックでした。現在のインテル® Pentium® プロセッサでは、約20倍の224クロックを要します。このような無駄なクロックがあると、プロセッサの周波数が増加してもそのメリットが失われます。

テラ時代を築く

2004年2月

- **RC 遅延**: チップ上での RC (抵抗容量) 遅延も次第に問題となってきました。サイズの縮小に伴い、RC による遅延が増加しています。65nm 以下のノードでは、1mm の RC 遅延によって生じる遅延は、1 クロックサイクルよりも長くなります。インテル® チップの場合、通常は 10 ~ 12mm の範囲なので、ダイの隅から隅までの移動の間に 15 クロックサイクルの遅延が発生します。そのため、周波数増加によるメリットの多くがここでも失われます。
- **スケーラ・パフォーマンス**: スーパースケーラ、CISC (Complex Instruction Set Computing)、RISC (Reduced Instruction Set Computing) など各種アーキテクチャの周波数増加に関するテスト結果も思わしくありません。周波数が増加すると、1 クロック当たりの命令数が減る傾向にあり、命令レベルでの並行実行性の限界が明らかになってきました。

上記の点から判断すると、周波数増加によるメリットには制限が多くなってきたので、パフォーマンスの向上は主にアーキテクチャの技術革新に依存することになると考えられます。大幅なパフォーマンス向上を達成するには、モノリシックなアーキテクチャでは事実上限界に達しつつあります。テラ・レベル・コンピューティングの実現には、別の角度からプラットフォーム・アーキテクチャにアプローチする必要があります。

テラ時代の新たなアーキテクチャ・モデル

過去にはミニ・コンピュータやメインフレーム・コンピュータが、今日の PC に採用されているアーキテクチャの概念をいくつも提供してきました。インテルは現在、この新たな課題を解決する方法を求めてほかのアーキテクチャを吟味しています。極めて限られたニッチ市場では、一部の行政/公的機関や学術団体以外には手の出ないコストですが、HPC (高性能コンピュータ) がテラフロップ・レベルのパフォーマンスを発揮しています。業界の課題は、今日の PC と同じくらい手に入れやすいプラットフォーム上でこのレベルの処理を実現することです。

複数レベルでの並行実行性

アーキテクチャの技術革新は、インテルにとって目新しいものではありません。インテルは何十年もの間、インテル® スーパーパイプライン RISC テクノロジから、スーパースケーラ、MMX® テクノロジ、アウト・オブ・オーダー実行エンジン、スペキュレーティブ・エグゼキューション、現在の HT テクノロジに至るまで、アーキテクチャの技術革新を通じてパフォーマンスの向上に取り組んできました。

高性能コンピューティングから学んだ成果が、複数レベルでの並行実行性と実行ユニットに関する概念です。テラ・レベルのコンピューティング機能を実現するには、単一の実行ユニットの代わりに 4、8、64、場合によっては数百もの実行ユニットや、マルチコア・プラットフォームを利用するしか方法はありません。

また、SPECint のテスト結果²によると、マルチプロセッサ・レベルでの並行実行性だけでは不十分です。テラフロップ・レベルのパフォーマンスを実現するには、最小限のメモリ・レイテンシ、RC インターコネクト遅延、制御された熱管理のもとで各コアが複数のスレッドを実行する、大規模マルチコア・アーキテクチャが必要になります。

この新たなアーキテクチャを決定づける 3 つの特性が、スケーラビリティ、アダプタビリティ、プログラマビリティです。

スケーラビリティ

スケーラビリティとは、利用可能なリソースに基づいて複数レベルでの並行実行性を活用し、プラットフォームのパフォーマンスを拡張して RMS ワークロードの要求増加に対応するプラットフォームの機能です。

パフォーマンスを拡張するには 2 つの方法があります。従来は、単一の処理コアの機能や速度を高める「スケールアップ」が行われてきました。複数のコアや実行スレッドを追加してパフォーマンスを向上する「スケールアウト」の方法もあります。最もよく知られているスケールアウト・アーキテクチャは現在の HPC であり、数千でないにせよ数百ものコアが搭載されています。

スケールアウトの例は、「ヘルパスレッド」テクノロジーに見られます。ヘルパスレッドは、ユーザレベルのスイッチ・オン・イベント・マルチスレッディングとして従来のプロセッサ上に実装され、OS (オペレーティング・システム) やハードウェアの明示的

なサポートを必要としません。キャッシュ・ミスが処理されるのをメインスレッドがストールして待機している間に、ヘルパスレッドは慎重にデータをプリフェッチすると単一スレッドのパフォーマンスを向上します。

現在のプラットフォームでは、プロセッサが頻繁にアイドル状態になります。サーバ・ワークロードの場合、プロセッサは合計実行時間のほぼ半分をメモリの待ち時間として費やすときもあります。メモリアクセスに200クロックサイクル以上もかかることを考えると、課題を解く鍵はこの待ち時間の有効な利用法にあり、ヘルパスレッドこそがその答えになります。プロセッサは待ち時間中にヘルパスレッドを実行し、データをプリフェッチできます。ヘルパスレッドは、通常であればアイドル状態にあるプロセッサのリソースを利用してプリフェッチを行い、キャッシュ・ミスの発生を防ぎます。インテルのラボで行われた実験によると、ヘルパスレッドは最大で30%と大幅にキャッシュ・ミスを削減し、メモリ負荷の高いワークロードのパフォーマンスをおよそ10～15%向上できます。

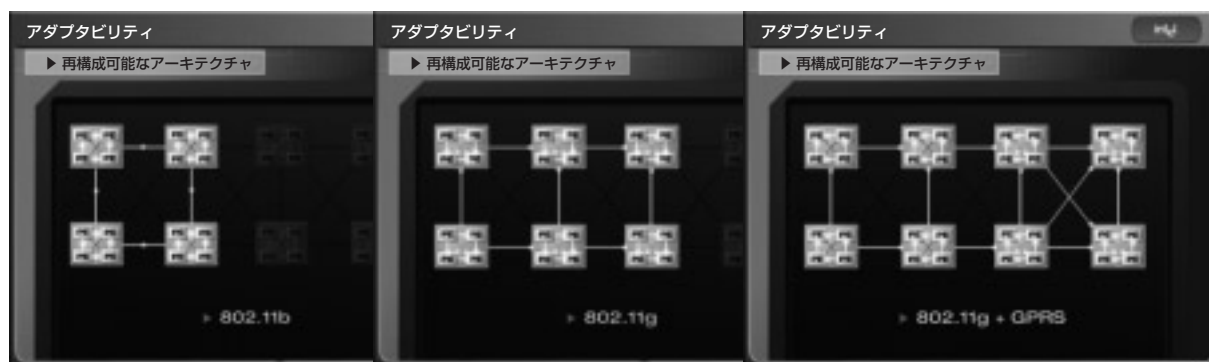
これは、単一実行ユニットにおけるスケラビリティの簡単な例です。将来のアーキテクチャでは、複数の実行ユニット間で複数のスレッドを実行するなど、複数のレベルで大規模なスケラビリティを活用することが必要になります。

アダプタビリティ

RMS ワークロードやその他多くのテラ・レベル・アプリケーションが登場し、将来のプラットフォーム上で融合が進むと、真の価値を提供し、業界に受け入れられるに当たって、プラットフォームの適応化が重要性を増します。アダプタビリティの中心をなすのは本質的に、ワークロードの種類を認識して、関連するアプリケーションの要件に合わせて自らを再構成するプラットフォームの機能です。このアダプタビリティを実現する技術革新は、回路、マイクロアーキテクチャ、システムといった複数のレベルに適用されます。

回路レベルではボディ・バイアスなどの技術が、消費電力モデル全体の効率化に貢献するほか、さらに重要な点として、そのようなモデルにインテリジェンスとリアルタイムの応答性を追加します。

マイクロアーキテクチャ・レベルではマルチコア・アーキテクチャが、特定の機能やアプリケーションを対象にした同種の処理要素を拡張してパフォーマンスを向上させます。さらにマルチコア・アーキテクチャは、異種のコア、つまり処理要素をグループ化し、各種組み合わせることにより、広範なワークロード間で一時的な(アドホックな)サポートを可能にしてアダプタビリティを実現します。以下に示すのは通信関連のワークロードの例で、単一アーキテクチャ、複数機能の場合にそのようなアダプタビリティを実現する方法の概要です。



上の図は、802.11* a、b、g、や GPRS (General Packet Radio Service) など各種の通信プロトコルに適応可能なアーキテクチャを示しており、それぞれが単一の処理コアと見なされる複数の処理要素が描かれています。各処理要素は、PLA (Programmable Logic Array) 回路、ビタビ・デコーダ、メモリ空間、ワイヤレス・アプリケーションに適したその他の機能など、特定の無線アルゴリズム機能を実行するために利用できます。処理要素は通常、構成に応じ DSP (Digital Signal Processor) または ASIC (特定用途向け IC) として、ワークロードの特性とその処理要件に合わせた働きをします。この種のアーキテクチャでは、プラットフォームは動的な再構成が可能のため、マイクロアーキテクチャ内で異なるワークロード間を移動しながら、同時に複数の種類のワークロードをサポートできます。

² Standard Performance Evaluation Corporation, <http://www.specc.org/osg/cpu2000/CINT2000/index.html> (英語)

テラ時代を築く

2004年2月

プラットフォーム・レベルのアダプタビリティでも、複数の処理要素を利用できます。ただしその対象は、システムレベルでワークロードのインテリジェントな解析を行うことと、その解析結果を理解して、特定のアプリケーションについて機能のバランス確保とパフォーマンスの最適化を行う処理要素を実現することです。例えばインテルでは、エンドユーザ・アプリケーションに利用可能なプロセッサ・サイクルを最大限に増やしつつ回線速度でパケット・ペイロードの処理をする課題に、このアプローチを利用して取り組んでいます。

インテルが行った初期の調査では、ネットワーク・スタックの処理性能の面で大幅な向上の可能性が示されました。正しい処理要素の位置と機能を最適に構成し、スレッド化、メモリアクセスおよびI/O機能の向上、プロトコル・スタックの最適化など適切な技術と組み合わせれば、パフォーマンスを格段に高められます。

プログラマビリティ

高性能コンピューティングを一般に普及させる上での課題は、並列化が可能なアプリケーションとソフトウェア環境のニーズとを把握し、基礎となるアーキテクチャを決定することです。プログラム可能なシステムでは、並行実行性、データ構造、同期などのワークロード特性と通信要件がハードウェアに伝えられます。それと同時に、ワークロードのリソース要件に応じたコアとスレッドの割り当てなど、アーキテクチャの特性がアプリケーションに伝えられます。

プログラマビリティを支える概念は、プラットフォームおよびワークロードが、アプリケーションまたはワークロードの特性とリソースを認識し、特定のタスクにプラットフォームを迅速に適応させるものです。インテルではすでに、インテル® Itanium® プロセッサ向けのものをはじめとする各種コンパイラにこの方針を採用しています。また、DOACROSS、COBEGIN、COENDなどの一部の高級言語要素にもこの傾向が見られるようになってきました。ただし、このようなコンピューティング・プラットフォーム上で新たなアーキテクチャ機能を活用するには、まだ多くのことを解決しなければなりません。



まとめ

業界では今、コンピューティング機能の新たな飛躍が始まりつつあります。この飛躍は、個人の生活から社会全体に至るまで事実上すべてのものに劇的な影響を及ぼします。デジタルの変革は、世界を大きく向上させる新たな機会を生み出します。テラ・レベル・コンピューティングによって対処できるアプリケーション、利用モデル、課題の種類は、格段に増加します。テラ時代は、印刷機、自動車、インターネットと同じくらい劇的な変化をもたらします。

これは業界全体にとっての大きな課題です。インテルは、テラ時代のコンピューティングを実現するのに欠かせないテクノロジーとアーキテクチャを開発することにより率先して課題に取り組んでいます。この構想を実現するには多くの人の協力がが必要です。今まで目にしてきたものは氷山の一角に過ぎず、始まりはこれからです。